

S PN=JP 7154242

S2 1 PN=JP 7154242

?

T S2/9/1

2/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2006 The Thomson Corporation. All rts. reserv.

0007537150 - Drawing available

WPI ACC NO: 1996-150851/199615

XRPX Acc No: N1996-126811

**State machine contg multiple selectable programmable logic arrays - has controller which may be used to power down PLA matrix structure which is not used and to select one matrix structure e.g. for use during single duty cycle**

Patent Assignee: TEXAS INSTR INC (TEXI)

Inventor: SZCZEPANEK A

**Patent Family** (3 patents, 2 countries)

Patent Application

Number	Kind	Date	Number	Kind	Date	Update
US 5497107	A	19960305	US 199361643	A	19930513	199615 B
JP 7154242	A	19950616	JP 1994136242	A	19940513	199615 E
JP 3501846	B2	20040302	JP 1994136242	A	19940513	200416 E

Priority Applications (no., kind, date): US 199361643 A 19930513

#### Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
--------	------	-----	----	-----	--------	-------

US 5497107	A	EN	9	3		
------------	---	----	---	---	--	--

JP 7154242	A	JA	9			
------------	---	----	---	--	--	--

JP 3501846	B2	JA	11		Previously issued patent	JP 07154242
------------	----	----	----	--	--------------------------	-------------

#### Alerting Abstract US A

The state machine includes at least two programmable logic array matrix structures, with each matrix structure having corresponding input terminals and output terminals and performing preselected logic operations. An output structure is connected to the output terminals of the matrix structures.

A controller is connected to the output structure for selecting the output terminals of one of the matrix structures to provide operational outputs for the state machine. The controller further is connected to the matrix structures for selecting which matrix structure is provided power for its operation. The state machine further includes at least two input structures, with each input structure connected to the input terminals of a corresponding one of the matrix structures.

USE/ADVANTAGE - In multiple programmable logic arrays. Provides shared inputs and outputs.

**Title Terms /Index Terms/Additional Words:** STATE; MACHINE; CONTAIN; MULTIPLE ; SELECT; PROGRAM; LOGIC; ARRAY; CONTROL; POWER; DOWN; PLA; MATRIX; STRUCTURE; ONE; SINGLE; DUTY; CYCLE

#### Class Codes

International Classification (Main): H03K-019/173

**BEST AVAILABLE COPY**

(Additional/Secondary): H04L-029/04  
International Classification (+ Attributes)  
IPC + Level Value Position Status Version  
H03K-0019/177 A I R 20060101  
H03K-0019/177 C I R 20060101  
US Classification, Issued: 326039000, 326041000

File Segment: EPI;  
DWPI Class: U21  
Manual Codes (EPI/S-X): U21-C01E; U21-C03B9

### **Original Publication Data by Authority**

#### **Japan**

Publication No. JP 7154242 A (Update 199615 E)  
Publication Date: 19950616  
**\*\*PROGRAMMABLE LOGIC ARRAY CIRCUIT\*\***  
Assignee: TEXAS INSTR INC <TI> (TEXI)  
Inventor: SZCZEPANEK ANDRE  
Language: JA (9 pages)  
Application: JP 1994136242 A 19940513 (Local application)  
Priority: US 199361643 A 19930513  
Original IPC: H03K-19/173(A) H04L-29/04(B)  
Current IPC: H03K-19/173(A) H04L-29/04(B)

Publication No. JP 3501846 B2 (Update 200416 E)  
Publication Date: 20040302  
Language: JA (11 pages)  
Application: JP 1994136242 A 19940513 (Local application)  
Priority: US 199361643 A 19930513  
Related Publication: JP 07154242 A (Previously issued patent)  
Original IPC: H03K-19/173(A)  
Current IPC: H03K-19/173(A)

#### **United States**

Publication No. US 5497107 A (Update 199615 B)  
Publication Date: 19960305  
**\*\*Multiple, selectable PLAS having shared inputs and outputs\*\***  
Assignee: Texas Instruments Incorporated (TEXI)  
Inventor: Szczepanek, Andre, GB  
Agent: Marshall, Robert D.  
Kesterson, James C.  
Donaldson, Richard L.  
Language: EN (9 pages, 3 drawings)  
Application: US 199361643 A 19930513 (Local application)  
Original IPC: H03K-19/173(A) G06F-7/38(B)  
Current IPC: H03K-19/177(R,A,I,M,EP,20060101,20051008,A)  
H03K-19/177(R,I,M,EP,20060101,20051008,C)  
Original US Class (main): 32639  
Original US Class (secondary): 32641  
Original Abstract: Circuitry 10 is provided that contains two (or more) PLA matrix structures 12, 14 which share at least some outputs and are interconnected with a common output structure 18, individual input 30 and output 42, 62 structures, and an appropriate controller 28 for selecting which PLA matrix structure 12, 14 is to be employed. A common

input structure 16 may be interconnected with the PLA matrix structures 12, 14 employed. The controller 28 may also be employed to power-down the PLA matrix structures not employed. The controller 28 may be static and select one matrix structure until reset, or dynamic and change as a function of some control signal.

Claim:

1. A state machine, comprising: at least two programmable logic array matrix structures, with each matrix structure having corresponding input terminals and output terminals and performing preselected logic operations; an output structure connected to said output terminals of said matrix structures; and a controller connected to said output structure for selecting said output terminals of one of said matrix structures to provide operational outputs for said state machine, said controller further connected to said matrix structures for selecting which matrix structure is provided power for its operation.  
?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-154242

(43) 公開日 平成7年(1995)6月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/173	1 0 1	9383-5 J		
H 0 4 L 29/04		9371-5 K	H 0 4 L 13/ 00	3 0 3 B

審査請求 未請求 請求項の数 1 書面 (全 9 頁)

(21) 出願番号 特願平6-136242

(22) 出願日 平成6年(1994)5月13日

(31) 優先権主張番号 08/061643

(32) 優先日 1993年5月13日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 アンドレ シュツイバネック

イギリス エムケー41 76ゼット ベッド  
フォード ブリックヒル カーリユー ク  
レッセント 96

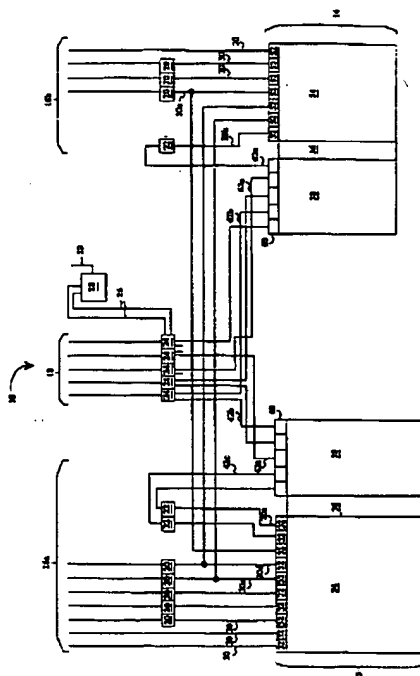
(74) 代理人 弁理士 中村 稔 (外6名)

(54) 【発明の名称】 プログラマブル論理アレイ回路

(57) 【要約】

【目的】 ハードウェアに対して、動的論理および静的論理に対応しさまざまな種類の通信プロトコルを実現することができるPLAを提供する。

【構成】 回路10は、2つ以上のPLAマトリックス構造12、14を含み、少なくとも複数の出力を共用し、共通出力構造18と、入力構造30および出力構造42、62に個別に相互接続され、適切な制御装置28を備え、制御装置28ではPLAマトリックス構造12、14のいずれを使用すべきかを選択する。制御装置28は静的の場合はリセットまで1つのマトリックス構造を選択し、動的な場合は特定の制御信号に対する機能として切替わる。



1

## 【特許請求の範囲】

【請求項1】 プログラマブル論理アレイ回路において、

第1の複数の入力と第2の複数の出力とを有する第1のマトリックス構造と、

第3の複数の入力と第4の複数の出力とを有することによって、前記第4の複数の出力に対する信号の一部が前記第1のマトリックス構造の前記第2の複数の出力に対する信号と共通する第2のマトリックス構造と、

前記第1および第2のマトリックス構造の前記共通の出力に接続される出力構造と、

を含むことを特徴とするプログラマブル論理アレイ回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般にプログラマブル論理アレイ（PLA）に関し、特に、選択自在な入出力共用多重PLAに関する。

【0002】

【従来の技術】 プログラマブル論理アレイ（PLA）は、AND論理やOR論理などの組合わせ論理関数を実行する簡潔な方法であり、入力ANDプレーンやその他の論理関数プレーンにコラムおよびロウのラインから成るマトリックスと出力ORプレーンやその他の論理関数プレーンにコラムおよびロウのラインから成るマトリックスを含み、ロウラインは2つのプレーンを適切に結合している。ANDプレーンは入力およびその補数を特定の論理に組合わせる。ANDプレーン出力はANDプレーン入力に対して直角に出て、ORプレーン入力に対して水平に流れる。ORプレーン出力は垂直に流れ、出力レジスタに格納することができる。現在のデータ処理ステップの成果を確認した後次の処理ステップに移行しなければならない場合、出力の一部を入力として戻す。出力がフィードバックとして戻される場合、このような順序機械は有限状態機械として知られている。

【0003】 一般に、MOS集積回路上で実現される複合同期順序の有限状態機械は、プログラマブル論理アレイを用いて設計され、これによって訂正可能なモジュラー設計が可能となる。1クロックサイクル毎に評価する2クロック相論理システムの設計には、NOR/NORプログラマブル論理アレイまたはAND/NORプログラマブル論理アレイを用いれば良い。この場合、一般に、NORプレーンまたはANDプレーンに対する入力となる2の補数の出力を有する関連状態変数ラッチによって、フィードバックラインは1クロックサイクル毎に活動化される。入力は、継続的に行われることもあり、状態変数ラッチのセットアップに必要な時間を除き、サイクルを通じて評価される。ただし、このようなシステムは、静的論理に関しCMOSでは必要以上に複雑になることもある。動的論理またはクロック論理によって、

2

論理ゲートは静的論理に使用可能な論理ゲートよりも大型にすることができる。動的プレチャージ/放電PLA構造を用いることによって、複雑さを低減することができる。ただし、このような動的システムでは、入力信号が同様に止まる場合でさえも、電力を消費する。

【0004】 PLAは、特定タイプの通信プロトコルを実現する都合の良い方法である。例えば、PLAを使用して、コンピュータ用のトークンリングまたはEthernetによるネットワーク通信プロトコルの態様を実現することができる。このような態様のあくまでも一例として、フレーム機能の実行が挙げられる。具体的なフレーム機能には、フレームの境界指定、巡回冗長符号生成および巡回冗長符号検査、データの直列化および非直列化などが挙げられよう。

【0005】 こうした態様では、通信プロトコルが異なる場合もあるが、同様の機能も必要なことが多いため、ある共通の入力信号および出力信号またはいずれか一方を有することができる。このような同様の機能の一例が、上述の如き共通フレーム機能の実行である。ハードウェアの設計および構成によっては、1つ以上の通信プロトコルを実現し、使用するプロトコルに関わらず、所定の機能に対してハードウェアの同一部分を使用することができる。ハードウェアの一部を使用してプロトコルとは無関係に所定の機能を実行する必要性は、チップのサイズを最小限にしたいとの要望や、既知の作業回路設計を用いて設計時間を最小限にしたいとの要望から生じたものであろう。

【0006】

【発明が解決しようとする課題】 しかし、上述のような既知の回路のPLAを1つのPLAに統合しようとする場合、サイズが大きくなり過ぎるか、動作が遅くなり過ぎるかが原因で、統合することができないという欠点があった。

【0007】 したがって、本発明の目的は、このようなハードウェアに対して、動的論理および静的論理に対応しさまざまな種類の通信プロトコルを実現することができるPLAを提供することにある。

【0008】 上述およびそれ以外の従来技術による不利は、選択自在な入出力共用多重PLAを提供することによって、本発明において解消することができる。

【課題を解決するための手段および作用】

【0009】 上記目的を達成するために、本発明に係る2つのPLAマトリックス構造を有する回路は、少なくとも複数の出力を共用し（このような出力を共用するための）共通または共用の出力構造と、各PLAマトリックス構造に対する（入出力を共用しないための）個別の入力構造および出力構造と、いずれのPLAマトリックス構造を使用すべきかを選択する適切な制御装置とに相互接続されることが好ましい。（入力を共用するための）共通または共用の入力構造は、2つのPLAマトリ

ックス構造に相互接続することができる。本発明による制御装置を使用して、未使用のマトリックス構造の電力を低減させることもできる。本発明による制御装置は、静的であっても良く、単一デューティサイクル中またはリセットまでの間使用するマトリックス構造を1つ選択することができ、動的であっても良く、ある制御信号に対する機能として切替わることができる。

【0010】入出力構造は、適切なクロック相によって制御されるラッチを含み、動的マトリックス構造を使用することができることが好ましい。すなわち、共通入力ラッチが両マトリックス構造に対する共通の入力ラインを制御し、共通出力ラッチが両マトリックス構造からの共通出力を受け取る。

【0011】各PLAマトリックス構造を使用し、特定の通信プロトコルの論理を実行することが好ましい。例えば、一方のマトリックス構造がEthernet通信プロトコルに、もう一方をトークンリング通信プロトコルに使用することができる。本発明では、2つ以上のPLAマトリックス構造を使用することもできる。

【0012】本発明は、選択自在な出力共用多重PLAを提供することを特徴とする。

【0013】本発明は、選択自在な入力共用多重PLAを提供することも特徴とする。

【0014】本発明に係る上記およびそれ以外の特徴および利益は、添付の図面を参照することによって、以下の実施例から明らかとなろう。

【0015】

【実施例】以下、本発明の実施例について説明する。図1は、本発明に係る出力構造を共用し2つのPLAマトリックス構造を使用する回路の構成を示す簡易ブロック図であり、本発明に係る2つのプログラマブル論理配列(PLA)の一方を選択的に使用して、2つの通信プロトコルの一方を実現する。図1の限定状態機械は、2つのプロトコルに対して多数の共通出力と少数の入力とを有する。この状態機械は、両プロトコルに対して1つのPLAマトリックス構造を使用する代わりに、2つのプロトコル各々に1つのPLAを有し干渉させるトランジスタを含む2つのPLAマトリックス構造を有する。図示の回路は、浮動小数点計算を一例とするその他のプロトコルを使用する際に容易に適応させることができる。

【0016】2つのPLAマトリックス構造を使用することによって、マトリックス構造を電力低減に使用せず、必要以上の電力消費を阻止することができる。さらに、2つのプロトコルに対して2つのマトリックス構造を使用することによって、一般に2つのマトリックス構造は、2つのマトリックス構造を実現することができる1つの大型複合マトリックス構造よりも小さくなる。一般に、タイミングを考慮して選択されるPLAのタイプを決めるが、選択後、マトリックスのサイズが特定のサイズ以上になる場合、さらに回路のレイアウトサイズを

さらに増大させてより多くの回路要素を追加できるように設計を考慮しなければならない。したがって、本発明に係る選択自在な多重マトリックス構造によって、電力、レイアウトサイズおよび設計時間を低減する。

【0017】図1は、Ethernetプロトコルおよびトークンリングプロトコルの共通フレーム機能を実現するための本発明に係る好ましいPLA回路10の簡易図であるとも言える。PLA回路10は、第1のマトリックス構造12と、第2のマトリックス構造14と、入力構造16と、出力構造18と、から成る。より詳しくは、入力構造16は入力ラッチ10または状態変数ラッチ22を使用することができる。マトリックス構造12には第1の入力構造16aを用い、マトリックス構造14は第2の入力構造16bを用いる。出力構造18は出力ラッチ24を使用する。出力ラッチ24は、制御装置28からの2つの選択ライン26によって制御される。制御装置28は、ライン29の適切な信号によって順次制御される。

【0018】図示の通り、マトリックス構造12は入力バッファまたは入力ラッチ20をふくむ入力構造16aから、入力ライン30によってさまざまな入力供給され、入力ライン30はマトリックス構造12に連結するバッファ32に信号を供給する。バッファ32は、入力信号および必要に応じて入力信号の補数を第1のプレーン34の入力コラムに供給される。第1のプレーン34は、コラムおよびロウから成るアレイと、これらのロウおよびコラムの適当な交点にトランジスタまたはゲートを含む(尚、コラムおよびロウと、マトリックス構造におけるそれらの交点のトランジスタについては、説明の便宜上図1に示していない。)。第1のプレーン34のロウに対するの出力は、バッファ/プレチャージ回路ブロック36に供給され、プレチャージブロックは入力をアレイすなわち第2のプレーン38に順次供給する。第2のプレーン38の出力カラムは、出力プレチャージャ40に接続される。

【0019】出力プレチャージャ40は出力ライン42を介して、出力信号をさまざまなラッチに供給する。出力ライン42aおよび42bは典型的なものであり、出力信号を出力ラッチ24に供給する一方、出力ライン42cは出力信号を状態変数ラッチ22に供給する。状態変数ラッチ22は、ライン30aを介してフィードバックをマトリックス構造12の第1のプレーンの入力バッファ32に供給する。

【0020】同様の方法で、バッファまたはラッチ20を含む入力構造16bの入力ライン30は、入力信号をマトリックス構造14の第1のプレーン54の入力バッファ52に供給する。プレーン54の出力ロウはバッファ/プレチャージ回路ブロック56に接続され、信号はマトリックス構造14の第2のプレーン58の入力ロウに供給される。プレーン58からの出力信号は出力プレ

5

チャージャ60に供給され、出力信号は出力ライン62を介して出力構造18または入力構造16bに供給される。状態変数ラッチ22は、出力ライン62c上の出力信号を再度受取り、このフィードバックを入力として入力ライン30b上に供給する。

【0021】このため、出力ライン62および42は、それらの2つの信号を各共通出力ラッチ24に供給する。図1の3つの出力ラッチは、入力としてマトリックス構造12または14のいずれか一方からの出力しか有さず、適切に空信号（図示せず）を供給される出力として短い非接続ラインを有する。選択ライン26は、出力ライン42または出力ライン62上の信号をラッチ24に格納するか否かを決定する。選択ライン26は、適切な制御装置28に由米する。2本のライン26が図示されているが、出力ラッチ24は単一の選択ラインまたは制御ライン26によって適切に制御される。制御装置28は本文で述べる如き電源機能も果たすが、選択機能や正確な時間をサンプリングする機能を実行するために用いられる。

【0022】図1から理解できるように、入力構造16aの或る入力ライン30cおよび30dは、入力をマトリックス構造14とマトリックス構造12に供給する。同様に、入力ライン30eは入力をマトリックス構造12および14の両方に供給する。両方のマトリックス構造に共通の入力に対して、1つの入力バッファまたはラッチ20を使用することによって、ラッチの総数は最小限になり、必要なレイアウトサイズおよび電力は低減する。図に示してはいないが同様の方法で、共通状態変数ラッチ22を両マトリックス構造12および14によって共用することができる。このような共通状態変数ラッチに対して、マトリックス構造12、14からの出力は、出力ラッチ24と同様に個別に状態変数ラッチ22に供給され、適切な出力が制御装置28によって選択されるか、入力として状態変数ラッチ22に集散的に供給される。

【0023】図示のPLAマトリックス構造は、異なる論理を実行するので同一ではない。例えば、一方のPLAマトリックス構造12は、Ethernetプロトコルに使用されるが、もう一方のPLAマトリックス構造14はトークンリングプロトコルに使用される。出力ラッチ24は、単一入力よりもむしろ二重入力である。2組の入力コラムバッファ32および52が供給され、PLAマトリックス構造12および14双方に対して共通入力ラッチ20から供給される。

【0024】図1では、PLAマトリックス構造12および14は、NOR/NOR論理を使用し、トランジスタまたはゲートから成る2つのダイナミックプレチャージ/放電アレイを有し、1組の入力ラッチ20からデータまたは信号を取入れ、適切なNORゲートで組み合わせ、結果を干渉し、生成信号を1組の出力ラッチ24に

6

供給することが好ましい。各NOR要素は、並列にトランジスタを用いてプレチャージしたラインに対する放電を行う。この構造では、出力ラッチ24は2つの入力すなわち2つのマトリックス構造12および14から1つずつの入力と、もう一方適切な制御装置28からの制御信号26とを有し、制御装置28はいずれの入力42、62が外部回路に対する最終出力18になるかを選択する。

【0025】PLAに対する所定のマトリックス構造12および14において、プレーン34および54、第2のプレーン38および58、バッファ32および52、バッファ/プレチャージ回路ブロック36および56、出力プレチャージャ40および60については、当業者には十分既知であると考えられるので、詳述しなかった。各プレーンで実行される論理演算は、PLA回路がサポートする回路の必要条件によって決定されるAND、NAND、ORまたはNORである。さらに、各プレーンの入出力数は問わない。静的論理に対し、特定数以上に入力を増加させることによって、さらに回路要素が必要になり、回路はさらに複雑になる。

【0026】同じ入力ラッチ20を使用して、第1および第2のマトリックス構造両方に対して入力を選択することができる。図1には示さなかったが、共通入力に対して入力ラッチから成る1ブロックに加え、2つのマトリックス構造の共通出力に対して出力ラッチ24から成る1ブロックが存在する。若干の余分な入力ラッチおよび出力ラッチもしくはいずれか一方、または、入力構造および出力構造またはいずれか一方は、個々に各マトリックス構造に接続される。状態変数ラッチ22も共用されるか、各マトリックス構造に対して個別に使用される。

【0027】図示の通り、共通出力ラッチ24を中間にして、状態変数ラッチ22、入力ラッチ20、PLAマトリックス構造12、14は各グループのいずれかの側に対称的に位置する。したがって、図1は状態機械であり、2つのマトリックス構造を有し、各マトリックス構造は予め選択した論理演算を実行し、出力構造はマトリックス構造に接続され、制御装置がその出力構造に接続されて、いずれのマトリックス構造が出力をこの状態機械に提供するかを選択する。

【0028】図1の演算モードに基づき、2つ以上のPLAマトリックス構造12および14のうち1つのみが使用される。さらに、未使用のPLAマトリックス構造の電力を低下されることによって、電力を省く利点がある。例えば、PLA回路10は未使用のPLAマトリックス構造12または14のラインには充電あるいは放電を行わない。電力制御機能は制御28を使用して実行する付加的機能であり、選択的にモード選択信号を同様に使用する。これは、バッファ/プレチャージブロック回路36および56と2つのマトリックス構造12および

7

14の出力プレチャージャ40および60に制御装置28によって適切にクロックを供給させることによって容易に達成することができる。

【0029】このため、本発明は、同期の有限状態装置を提供し、論理要素から成る第1のプレーンを有し、第1の予め選択したタイプの論理演算を実行し、第1の複数の入力コラムラインと、第2の複数のロウラインとを有して第1の複数のコラムラインと相互接続自在であり、第3の複数のスイッチが第2のロウの選択ラインと第1のコラムの間で相互接続され、各スイッチが対応コラムライン上の電圧信号に応答して動作自在であり、論理要素からなる第2のプレーンを有し、第2の予め選択したタイプの論理演算を実行し、第2の複数のロウラインが第1のプレーンの第2の複数のロウラインに接続され、第4の複数の出力コラムラインは第2の複数のロウラインと相互接続自在であり、第5の複数のスイッチが第2の複数のロウラインと第4の複数のコラムラインとの間で相互接続され、この場合、各スイッチは対応するロウライン上の電圧信号に応答して動作自在であり、論理要素から成る第3のプレーンは第3の予め選択されたタイプの演算を実行し、第6の複数の入力コラムラインと第7の複数のロウラインとを有して第6の複数のコラムラインと相互接続自在であり、第8の複数のスイッチは選択された第7のロウラインと第6のコラムラインとの間で相互接続自在であり、各スイッチは対応するコラムライン上の電圧信号に応答して動作自在であり、論理要素から成る第4のプレーンは第4の予め選択したタイプの論理演算を実行し、第7の複数のロウラインは第3のプレーンの第7の複数のロウラインに接続され、第9の複数の出力コラムラインは第7の複数のロウラインと相互接続自在であり、第10の複数のスイッチは選択された第7の複数のロウラインと第9の複数のコラムラインとの間で相互接続され、この場合、各スイッチは対応するロウライン上の電圧信号に応答して動作自在であり、出力コラム結合手段を有し選択的に第4または第9の複数の出力コラムラインを第12の複数の状態機械出力に結合することが好ましいことは理解できよう。本発明の状態機械は適切な制御装置を含み、出力コラム結合手段によって状態機械出力として適切な出力コラムラインを選択させる。

【0030】次に、図2について説明する。図2は、図1の出力ラッチ24の1つの簡易ブロック図を示す。より詳しくは、図示の出力ラッチ24には、2つのインバータ200および202と、抵抗ラッチ204に対する入力として有用なマトリックス構造12および14の各出力ライン42bおよび62bとを有する。また、マトリックス構造12または14からの出力が共通すなわち共用されていない場合、1つのマトリックス信号(42bまたは46b)だけが出力ラッチ24に供給され、その他の信号は「空」信号となる。抵抗ラッチ204は、

8

2つのインバータを直列して構成され、一方のインバータ206は「抵抗」インバータとなるので、格納される信号を入力信号によって克服することができる。抵抗インバータ206は、その信号を正常インバータ208にフィードバックする。抵抗ラッチ204の出力はそれに続く回路に状態機械の出力18として供給される。

【0031】2つのバスゲートは、制御装置28からの選択ライン26上の適切な制御信号によって制御され、マトリックス出力42bおよび62bのいずれの抵抗ラッチ204に供給し正確に何時サンプリングすべきかを決定する(すなわち、PLAの出力42bおよび62bはプレチャージ相よりも評価相のタイミング中にサンプリングされる)。出力ラッチ24の疑似動的ラッチのタイプは問わず、適切な制御信号によって制御される2つの入力バスゲートを有するラッチなどでも良いが、この限りではない。このため、入力は2つ以上の外部ソースすなわち2対上のマトリックス構造のいずれかから獲得することができる。すなわち、出力ラッチ24は、ラッチのタイプを問わず、2つ以上のラッチ自在な入力を有し、ある外部の制御信号に基づき入力の1つを選択することができる。

【0032】次に、図3について説明する。図3は、3つのPLAマトリックス構造12、13、14の1つを選択的に使用する回路の簡易ブロック図である。図示の有限状態機械は、3つのマトリックス構造各々に対して状態変数ラッチ22を含む共通の出力構造16と共通の出力構造18とを有する。さらに、マトリックス構造の出力は共通出力としてもフィードバックとしても役立つ。換言すれば、出力ラッチ24から出力の1つは、状態変数ラッチ22に入力として供給されるだけでなく、出力としても有用である。

【0033】さらに、図3では、各マトリックス構造12、13、14は、入力バッファと、第1のプレーンと、バッファ/プレチャージ回路ブロックと、第2のプレーンと、出力プレチャージャとを有するが、これは図1と同様である。その他の回路配置も各マトリックス構造12、13、14に対して同様に使用されることは明らかであろう。

【0034】入力構造16は、入力バッファまたは入力ラッチ20を使用し、入力信号を各マトリックス構造12、13、14に供給する。状態変数ラッチからなる共通の組合せも入力構造16の一部に含まれる。図3ぶは、各状態変数ラッチ22は、各マトリックス構造12、13、14からの個々の入力を有し、3つのマトリックス構造12、13、14すべてに1つの出力を供給し、各状態変数ラッチ22も1つ以上の入力と1つ以上の出力を有する。図示のように入力が3つある場合は、状態変数ラッチ22の演算は後述の出力ラッチ24に対する演算と同様である。さらに、PLAすべてが状態変数を全く使用しない場合、そのようなPLAからの出力



は入力として状態変数ラッチには接続されない。この場合、未使用の入力はPLA出力に接続されない代わりに、適切な「空」信号または「1」信号を供給される。

【0035】図示の通り、出力構造18は、出力ラッチ24を使用し、3つのマトリックス構造12、13、14各々から「入力」を有する。各出力ラッチ24は、選択ライン26によって制御され、出力として適切な入力信号を選択する。さらに、この制御信号は適切な制御装置28によって提供され、制御装置28によって提供される。図1と同様に、マトリックス構造から各出力ラッチ24は1または2つ程度の出力信号を入力として有し、残りの入力はすべて空信号となる。図3の回路の場合、使用中のPLAマトリックス構造の電力のみを上げて残りのマトリックス構造の電力は上げないことが特に好ましい。さらに、制御装置28は、このパワーアップ機能のほか、出力ラッチ24と必要に応じ状態変数22に対して適切な出力であれば選択供給する。

【0036】図3は、入出力構造が完全に共通である。ただし、3つのマトリックス構造の1つ以上は状態変数を含む個別の入力および出力またはいずれか一方を有する。このようなマトリックス構造が3つ以上の場合でも同様に利用できる。したがって、本発明は少なくとも2つのPLAマトリックス構造を有する状態機械を有し、各マトリックス構造は予め選択した論理演算を実行し、出力構造はそのマトリックス構造に接続され、制御装置はその出力構造に接続されて、いずれのマトリックス構造が本発明の状態機械に対する出力を供給するかを選択することは理解できよう。

【0037】以上、2つの論理プレーンを使用するPLAマトリックス構造について述べたが、本発明がより単純な単一プレーンマトリックス構造にも適用できる。本発明では、動的論理が実際に好ましいが、動的論理ではなく静的論理を使用することもできる。

【0038】以上の記載に関連して以下の各項を開示する。

1. プログラマブル論理アレイ回路において、第1の複数の入力と第2の複数の出力とを有する第1のマトリックス構造と、第3の複数の入力と第4の複数の出力とを有することによって、前記第4の複数の出力に対する信号の一部が前記第1のマトリックス構造の前記第2の複数の出力に対する信号と共通する第2のマトリックス構造と、前記第1および第2のマトリックス構造の前記共通の出力に接続される出力構造と、を含むことを特徴とするプログラマブル論理アレイ回路。

【0039】2. 前記第1のマトリックス構造が論理要素からなる第1のプレーンを有し、第1の予め選択したタイプの論理演算を実行し、第1の複数の入力コラムラインと、第6の複数のロウラインは前記第1の複数のコラムラインと相互接続自在であり、第7の複数のスイッ

チが前記選択された第6のロウラインと前記第1のコラムラインの間で相互接続され、各スイッチが対応コラムライン上の電圧信号にตอบสนองして動作自在であり、論理要素からなる第2のプレーンを有し、第2の予め選択したタイプの論理演算を実行し、第6の複数のロウラインが前記第1のプレーンの第6の複数のロウラインに接続され、前記第2の複数の出力コラムラインは前記第6の複数のロウラインと相互接続自在であり、第7の複数のスイッチが選択された第6の複数のロウラインと第2の複数のコラムラインとの間で相互接続され、各スイッチは対応するロウライン上の電圧信号にตอบสนองして動作自在であることを特徴とする第1項記載のプログラマブル論理アレイ回路。

【0040】3. 前記第2のマトリックス構造が論理要素からなる第3のプレーンを有し、第3の予め選択されたタイプの演算を実行し、第3の複数の入力コラムラインを有し、第8の複数のロウラインは前記第3の複数のコラムラインと相互接続自在であり、第9の複数のスイッチは選択された第8のロウラインと第3のコラムラインとの間で相互接続され、各スイッチは対応するコラムライン上の電圧信号にตอบสนองして動作自在であり、論理要素からなる第4のプレーンは第4の予め選択したタイプの論理演算を実行し、前記第8の複数のロウラインは前記第3のプレーンの前記第8の複数のロウラインに接続され、第4の複数の出力コラムラインは前記第8の複数のロウラインと相互接続自在であり、第10の複数のスイッチは選択された第8の複数のロウラインと第4の複数のコラムラインとの間で相互接続され、各スイッチは対応するロウライン上の電圧信号にตอบสนองして動作自在であることを特徴とする第2項記載のプログラマブル論理アレイ回路。

【0041】4. 前記出力構造が出力ラッチを含み、前記第1または第4の複数の出力コラムラインいずれかの少なくとも一部を第11の出力に選択的に結合することを特徴する第3項記載のプログラマブル論理アレイ回路。

【0042】5. 入力構造を含み、前記第1または第3の複数の入力コラムラインいずれかの少なくとも一部を第12の入力に結合することを特徴とする第4項記載のプログラマブル論理アレイ回路。

【0043】6. 少なくとも1つの前記第2または第4の複数の出力コラムラインから少なくとも1つの前記第1または第3の複数の入力コラムラインへのフィードバックを含むことを特徴とする第5項記載のプログラマブル論理アレイ回路。

【0044】7. 複数の出力のいずれを出力として供給するかを選択すること制御装置を含むことを特徴とする第1項記載のプログラマブル論理アレイ回路。

【0045】8. 前記制御装置がいずれのマトリックス構造に電力供給を行うかを選択することを特徴とする第

7項記載のプログラマブル論理アレイ回路。

【0046】9. 第5の複数の入力および第6の複数の出力を有する第3のマトリックス構造を含み、前記出力構造が3つのマトリックス構造すべての共通出力に接続されることを特徴とする第1項記載のプログラマブル論理アレイ回路。

【0047】10. 回路10は、2つ以上のPLAマトリックス構造12、14を含み、少なくとも複数の出力を共用し、共通出力構造18と、入力構造30および出力構造42、62に個別に相互接続され、適切な制御装置28を備え、制御装置28ではPLAマトリックス構造12、14のいずれを使用すべきかを選択する。制御装置28は静的の場合はリセットまで1つのマトリックス構造を選択し、動的な場合は特定の制御信号に対する機能として切替わる。

【効果】以上説明したように、本発明のプログラマブル論理アレイ回路は、ハードウェアに対して、動的論理および静的論理に対応しさまざまな種類の通信プロトコルを実現することができるので、回路要素を追加した場合、選択自在な多重マトリックス構造によって、電力、レイアウトサイズおよび設計時間を低減することができるという効果がある。本文中に述べた技術および装置に関し、本発明の概念を逸脱することなく、当業者らによって多くの変更および修正が可能であろう。したがって、上述の説明の参照となる添付図面に記載の方法および装置は、明らかにあくまでも一例であって、発明の範囲を限定するものでないことは理解できよう。

【図面の簡単な説明】

【図1】本発明に係る出力構造を共用し2つのPLAマ

トリックス構造を使用する回路の構成を示す簡易ブロック図である。

【図2】本発明に係る出力ラッチの簡易ブロック図である。

【図3】本発明に係る入出力構造を共用し3つのPLAマトリックス構造を使用する回路の構成を示す簡易ブロック図である。

【符号の説明】

10 PLA回路

12、13、14 マトリックス構造

16、16a、16b、18 入力構造

18 出力構造

20 入力ラッチ

22 状態変数ラッチ

24 出力ラッチ

26 選択ライン

28 制御装置

29 ライン

30、30a、30b、30c、30d、30e 入力  
20 ライン

32、52 入力バッファ

34、38、54、58 プレーン

36、56 バッファ/プレチャージ回路ブロック36

40、60 出力プレチャージャ

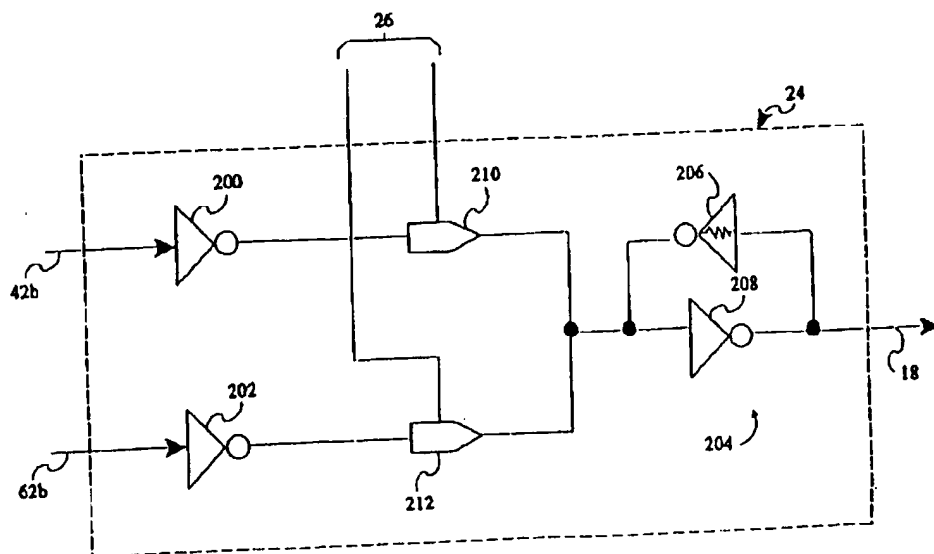
42、42a、42b、42c、62a、62b、62  
c 出力ライン

200、202、208 インバータ

204 抵抗ラッチ

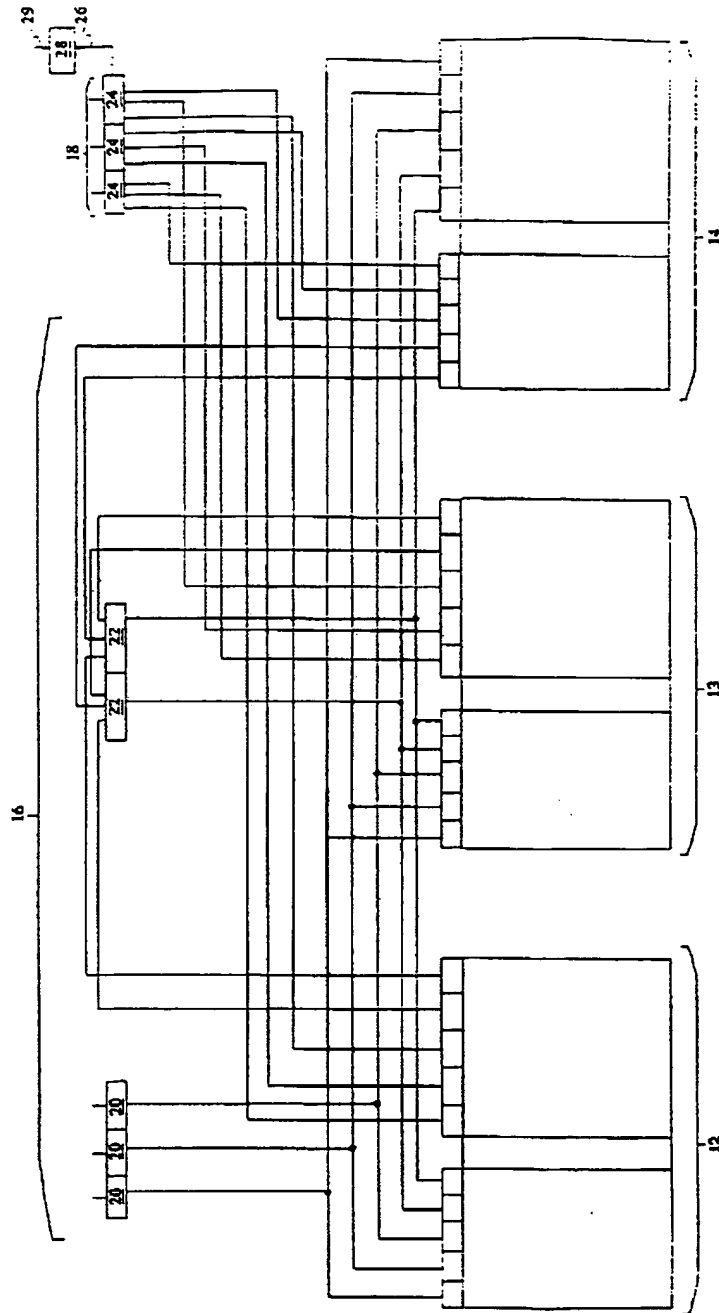
206 抵抗インバータ

【図2】





【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**